रजिस्ट्री सं. डी.एल.- 33004/99 REGD. No. D. L.-33004/99

भारत का राजपत्र
The Gazette of India

सी.जी.-डी.एल.-अ.-21122021-232049
CG-DL-E-21122021-232049

असाधारण
EXTRAORDINARY

भाग I—खण्ड 1
PART I—Section 1

प्राधिकार से प्रकाशित
PUBLISHED BY AUTHORITY

सं. 377] नई दिल्ली, मंगलवार, दिसम्बर 21, 2021/अग्रहायण 30, 1943
No. 377] NEW DELHI, TUESDAY, DECEMBER 21, 2021/AGRAHAYANA 30, 1943

इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्रालय

(आर एंड डी इलेक्ट्रॉनिक्स समूह)

अधिसूचना

नई दिल्ली, 21 दिसम्बर, 2021

विषय : डिजाइन सम्बद्ध प्रोत्साहन (डीएलआई) योजना ।

सं. ईई-9/5/2021-आरएंडडी-ई.—1. पृष्ठभूमि

1. 1 इलेक्ट्रॉनिक्स उद्योग अर्थव्यवस्था के सभी क्षेत्रों में अनुप्रयोगों के साथ दुनिया का सबसे बड़ा और सबसे तेजी से बढ़ने वाला उद्योग है। सेमीकंडक्टर्स पांच दशकों से अधिक समय से इलेक्ट्रॉनिक्स की उन्नति में एक महत्वपूर्ण प्रवर्तक रहे हैं और आईओटी, कृत्रिम बुद्धिमत्ता, 5जी, स्मार्ट गतिशीलता, रोबोटिक्स, आदि सहित नए अनुप्रयोगों के उद्भव के साथ और भी बड़ी भूमिका निभाएंगे।

1.2 वैश्विक सेमीकंडक्टर बाजार 2020 में ~$466B (35 लाख करोड़ रु.) पर खड़ा था और 2025 तक ~$656B (49 लाख करोड़ रु.) तक बढ़ने की उम्मीद है। सेमीकंडक्टर उद्योग पूरी तरह से शुरू होकर विभिन्न व्यावसायिक मॉडल में लगातार विकसित हुआ है। उपकरण निर्माताओं से शुरू होकर, ईडीए कंपनियों, फाउंड्री और सेमीकंडक्टर डिजाइन कंपनियों के लिए एकीकृत डिजाइन निर्माता तक । आज, कुछ कंपनियां आईडीएम के रूप में काम करती हैं और अधिकांश प्लेयर्स ने संचालन मुख्य दक्षताओं तक सीमित कर दिया है। जंहा सेमीकंडक्टर डिजाइन कंपनियां पूरी तरह से उत्पाद डिजाइन और इसके विकास पर फोकस कर रही हैं वंही, फाउंड्री सेमीकंडक्टर विनिर्माण सेवाएं प्रदान करने पर फोकस हैं।

1. 3 विश्व के 20% सेमीकंडक्टर डिजाइन इंजीनियरों की असाधारण प्रतिभा भारत में है, जिस वजह से भारत वैश्विक सेमीकंडक्टर डिजाइन कंपनियों के लिए एक अत्यधिक आकर्षक गंतव्य बना हुआ है। इन इंजीनियरों द्वारा भारत में हर साल हजारों चिप्स डिजाइन किए जाते हैं। एक संपन्न डिजाइन पारिस्थितिकी तंत्र और प्रशिक्षित और अत्यधिक सक्षम जनशक्ति की उपलब्धता के बावजूद, उत्पन्न बौद्धिक संपदा (आईपी) का एक छोटा हिस्सा ही देश से संबंधित है क्योंकि यह आईपी ज्यादातर वैश्विक कंपनियों के पास है। इसके अलावा, घरेलू सेमीकंडक्टर डिजाइन इकोसिस्टम अभी भी शुरुआती चरण में है, घरेलू सेमीकंडक्टर डिजाइन कंपनियों के संचयी वार्षिक राजस्व का अनुमान 150 करोड़ रु. से कम है। मोबाइल फोन, आईटी हार्डवेयर, स्मार्ट मीटर, सेट-टॉप बॉक्स, सुनने योग्य और पहनने योग्य डिवाइस, इंफोटेनमेंट उत्पाद, आईओटी डिवाइस और अन्य संचार उपकरणों जैसे इलेक्ट्रॉनिक उत्पादों के लिए डिज़ाइन-हाउस का लगभग अभाव है।

1.4 भारत में कुल इलेक्ट्रॉनिक डिजाइन बाजार, 2020 में 35000 करोड़ रुपये का अनुमानित था और ~15.4% की सीएजीआर से बढ़ रहा है, घरेलू सेमीकंडक्टर डिजाइन उद्योग को न केवल घरेलू आवश्यकता को पूरा करने और वैश्विक ग्राहकों को सेवा देने के लिए आत्मनिर्भरता प्राप्त करने की आवश्यकता है बल्कि इस सामरिक क्षेत्र की सुरक्षा चिंताओं को कम करने की भी आवश्यकता है।

1.5 राष्ट्रीय इलेक्ट्रॉनिक्स नीति (एनपीई 2019) का उद्देश्य चिपसेट सहित मुख्य घटकों को विकसित करने और उद्योग के लिए एक सक्षम वातावरण बनाने के लिए देश में क्षमताओं को प्रोत्साहित और संचालित करके विश्व स्तर पर प्रतिस्पर्धा करने के लिए एक वैश्विक केंद्र के रूप में भारत को इलेक्ट्रॉनिक्स सिस्टम डिजाइन और विनिर्माण (ईएसडीएम)में स्थापित करना है। एनपीई 2019 स्टार्टअप्स को प्रोत्साहित करने और उनके लिए डिजाइन बुनियादी ढांचे को सुलभ बनाने के माध्यम से देश में एक जीवंत और गतिशील अर्धचालक डिजाइन पारिस्थितिकी तंत्र के निर्माण की भी कल्पना करता है।

1.6 सरकार इलेक्ट्रॉनिक्स के डिजाइन और निर्माण के लिए एक अनुकूल वातावरण बनाने के लिए काम कर रही है और प्रतिस्पर्धी अर्थव्यवस्थाओं में पेश किए जाने वाले प्रोत्साहनों की तुलना में प्रोत्साहन प्रदान करती है। जबकि कई मौजूदा योजनाएं इलेक्ट्रॉनिक्स निर्माण (इलेक्ट्रॉनिक उपकरणों, घटकों और अर्धचालक सहित) के विभिन्न क्षेत्रों में प्रभावी रूप से योगदान दे रही हैं, आज तक सेमीकंडक्टर डिजाइन कंपनियों के लिए कोई विशेष नीतिगत जोर या हस्तक्षेप नहीं किया गया है। सेमीकंडक्टर डिजाइन में आत्मनिर्भरता हासिल करने और प्रौद्योगिकी नेतृत्व के लक्ष्य के लिए भारतीय सेमीकंडक्टर डिजाइन उद्योग में प्रवेश बाधाओं और अक्षमताओं को दूर करने के लिए वित्तीय प्रोत्साहन और अवसंरचना सहायता प्रदान करने के माध्यम से कई गुना विकास की आवश्यकता है।

2. उद्देश्य: डिजाइन लिंक्ड इंसेंटिव (डीएलआई) योजना वित्तीय प्रोत्साहन के साथ-साथ निम्नलिखित उद्देश्यों के साथ 5 वर्षों की अवधि में एकीकृत सर्किट (आईसी), चिपसेट, सिस्टम ऑन चिप्स (एसओसी), सिस्टम एवं आईपी कोर और सेमीकंडक्टर लिंक्ड डिजाइन के विकास और परिनियोजन के विभिन्न चरणों में अवसंरचना का समर्थन प्रदान करेगी:

2.1 इंटीग्रेटेड सर्किट (आईसी), चिपसेट, सिस्टम ऑन चिप्स (एसओसी), सिस्टम एवं आईपी कोर और सेमीकंडक्टर लिंक्ड डिज़ाइन के लिए सेमीकंडक्टर डिज़ाइन की 100 घरेलू कंपनियों को विकसित करना और अगले 5 वर्षों में ₹1500 करोड़ से अधिक के कारोबार को प्राप्त करने के लिए कम से कम 20 ऐसी कंपनियों के विकास की सुविधा प्रदान करना।

2.2 देश में प्रयोग में लाए जाने वाले सेमीकंडक्टर और इलेक्ट्रॉनिक उत्पादों और आईपी में महत्वपूर्ण स्वदेशीकरण प्राप्त करना, जिससे अगले 5 वर्षों में इलेक्ट्रॉनिक्स क्षेत्र में आयात प्रतिस्थापन और मूल्यवर्धन की सुविधा हो।

2.3 सेमीकंडक्टर डिजाइन के लिए इन्क्यूबेटरों के माध्यम से डिजाइन बुनियादी ढांचे को मजबूत करना और स्टार्टअप्स और एमएसएमई तक सुविधा पहुंचाना ।

3. पात्रता: डीएलआई योजना के तहत इंटीग्रेटेड सर्किट (आईसी), चिपसेट, सिस्टम ऑन चिप्स (एसओसी), सिस्टम एवं आईपी कोर और सेमीकंडक्टर लिंक्ड डिजाइन के लिए सेमीकंडक्टर डिजाइन में लगी घरेलू कंपनियों, स्टार्टअप्स और एमएसएमई को वित्तीय प्रोत्साहन और डिजाइन इंफ्रास्ट्रक्चर सहायता प्रदान की जाएगी।

3.1 घरेलू कंपनियों को उन कंपनियों के रूप में परिभाषित किया जाएगा जिनका स्वामित्व निवासी भारतीय नागरिकों के पास है, जैसा कि एफडीआई नीति परिपत्र 2017 या मौजूदा मानदंडों में परिभाषित किया गया है। कंपनी को निवासी भारतीय नागरिकों द्वारा 'स्वामित्व' के रूप में माना जाता है यदि उसमें 50% से अधिक पूंजी निवासी भारतीय नागरिकों और/या भारतीय कंपनियों के लाभकारी स्वामित्व में है, जो अंततः निवासी भारतीय नागरिकों के स्वामित्व और नियंत्रण में हैं।

3.2 एमएसएमई को सूक्ष्म, लघु और मध्यम उद्यम मंत्रालय, दिनांक 1 जून 2020 या मौजूदा मानदंडों द्वारा राजपत्र अधिसूचना के अनुसार परिभाषित किया जाएगा।

3.3 स्टार्टअप्स को डीपीआईआईटी अधिसूचना दिनांक 19 फरवरी 2019 या मौजूदा मानदंडों के अनुसार परिभाषित किया जाएगा।

3.4 अनुमोदित आवेदक जो योजना के तहत प्रोत्साहन का दावा करते हैं, वे अपनी घरेलू स्थिति (अर्थात इसमें पूंजी का 50% से अधिक लाभ निवासी भारतीय नागरिकों और/या भारतीय कंपनियों के स्वामित्व में है, जो अंततः निवासी भारतीय नागरिकों के स्वामित्व और नियंत्रण में हैं) योजना के तहत प्रोत्साहन का क्लेम करने के बाद तीन साल की अवधि के लिए आवेदक अपनी घरेलू स्थिति बनाए रखेंगे।

3.5 डीएलआई योजना के तहत पात्रता किसी अन्य योजना के तहत पात्रता को प्रभावित नहीं करेगी और विलोमत:।

4. कार्यकाल: योजना के तहत आवेदन शुरू में 01.01.2022 से तीन (3) वर्षों के लिए खुले रहेंगे। योजना के तहत प्राप्त आवेदनों का मूल्यांकन निरंतर आधार पर किया जाएगा और योजना के तहत दी गई मंजूरी के अनुसार कार्यान्वयन जारी रहेगा।

5. योजना के तहत प्रोत्साहन: इस योजना के तहत अनुमोदित आवेदकों को निम्नलिखित तरीके से वित्तीय प्रोत्साहन प्रदान किया जाएगा:

5.1 उत्पाद डिजाइन सम्बद्ध प्रोत्साहन: इंटीग्रेटेड सर्किट (आईसी), चिपसेट, सिस्टम ऑन चिप्स (एसओसी), सिस्टम एवं आईपी कोर के लिए सेमीकंडक्टर डिजाइन और सेमीकंडक्टर लिंक्ड डिजाइन में लगे अनुमोदित आवेदकों को वित्तीय सहायता के रूप में प्रति आवेदन 15 करोड़ रु. की अधिकतम सीमा के अधीन पात्र व्यय के 50% तक की प्रतिपूर्ति प्रदान की जाएगी। आवेदकों को इंटीग्रेटेड सर्किट (आईसी), चिपसेट, सिस्टम ऑन चिप्स (एसओसी), सिस्टम एवं आईपी कोर के लिए सेमीकंडक्टर डिज़ाइन और सेमीकंडक्टर लिंक्ड डिज़ाइन के विकास के लिए अपने प्रस्ताव प्रस्तुत करने हैं जो एक परिचालन वातावरण में प्रदर्शित किए जा सकते हैं और वॉल्यूम उत्पादन के लिए तैयार हैं।

5.2 नियोजन सम्बद्ध प्रोत्साहन : 5 वर्षों में नेट सेल्स टर्नओवर के 6% से 4% तक का प्रोत्साहन, प्रति आवेदक 30 करोड़ रुपये की उच्चतम सीमा तक स्वीकृत आवेदकों को प्रदान किए जाएंगे जिनके इंटीग्रेटेड सर्किट (आईसी), चिपसेट, सिस्टम ऑन चिप्स (एसओसी), सिस्टम और आईपी कोर के लिए सेमीकंडक्टर डिज़ाइन एवं सेमीकंडक्टर लिंक्ड डिजाइन इलेक्ट्रॉनिक उत्पादों में इस्तेमाल किए जा रहे हैं।

5.3 डीएलआई योजना के तहत सहायता का विस्तृत विवरण **अनुबंध-1** में है।

6. प्रोत्साहनों की गणना के आधार: योजना के तहत वित्तीय प्रोत्साहनों की गणना निम्नलिखित तरीके से की जाएगी:

6.1 उत्पाद डिजाइन सम्बद्ध प्रोत्साहन घटक के तहत पात्र व्यय: डिजाइन, विकास, परीक्षण, फेब्रिकेशन, सत्यापन, प्रोटोटाइप विकास, उत्पाद विकास, बौद्धिक संपदा अधिकारों की फाइलिंग आदि से संबंधित अनुमोदित आवेदकों के व्यय को योजना के उत्पाद डिजाइन सम्बद्ध प्रोत्साहन घटक के तहत प्रतिपूर्ति के लिए योग्य व्यय के रूप में माना जाएगा। ईडीए टूल्स के डिजाइन और विकास को भी योजना के इस घटक के तहत समाविष्ट किया जाएगा। इलेक्ट्रॉनिक और सूचना प्रौद्योगिकी मंत्रालय द्वारा अलग से जारी किए जाने वाले योजना दिशानिर्देशों में पात्र व्यय का विवरण विस्तृत किया जाएगा ।

7. **नियोजन सम्बद्ध प्रोत्साहन घटक के तहत नेट सेल्स टर्नओवर:** नेट सेल्स टर्नओवर का आकलन प्रासंगिक कराधान प्राधिकारी के समक्ष फाइल की गई विवरणी और सांविधिक लेखापरीक्षक प्रमाणपत्रों पर आधारित होगी।

8. **डिजाइन अवसंरचना:** सी-डैक (सेंटर फॉर डेवलपमेंट ऑफ एडवांस्ड कंप्यूटिंग), इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्रालय के तहत संचालित एक वैज्ञानिक सोसाइटी है, जो इस योजना के तहत सेमीकंडक्टर अवसंरचना की स्थापना करेगा।

8.1 इसे राष्ट्रीय ईडीए टूल ग्रिड स्थापित करने, आईपी कोर रिपोसिटरी, हार्डवेयर और सॉफ्टवेयर लाइसेंस, पेटेंट और ट्रेडमार्क आदि की व्यवस्था और उन्हें स्टार्टअप और एमएसएमई के लिए उपलब्ध कराने की जिम्मेदारी सौंपी जाएगी।

8.2 यह स्टार्टअप्स और एमएसएमई को भी यथाउचित सहायता प्रदान करेगा, जो टेस्ट चिप और वॉल्यूम उत्पादन और परीक्षण, सत्यापन, प्रोटोटाइप, पोस्ट सिलिकॉन सत्यापन और अन्य सेवाओं के लिए एमपीडब्ल्यू प्रोटोटाइप के लिए विशिष्ट सहायता चाहते हैं।

8.3. यह देश भर में स्थित समान सुविधाओं के साथ समन्वय करेगा और योजना के तहत इसका लाभ उठाने के लिए सेमीकंडक्टर डिजाइन विशेषज्ञता को समेकित करेगा।

8.4 यह भारत में सेमीकंडक्टर डिजाइन इकोसिस्टम के विकास के लिए स्टार्टअप, वैश्विक प्रौद्योगिकी की बड़ी कंपनियों, उद्योग संघों, शिक्षाविदों और विशेषज्ञों के साथ मिलकर इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्रालय को नीतिगत इनपुट प्रदान करेगा।

9. शासन तंत्र

9.1 योजना को सी-डैक के माध्यम से लागू किया जाएगा।

9.2 सी-डैक योजना के तहत आवेदन प्राप्त करेगा और ऐसे आवेदनों का वित्तीय और तकनीकी मूल्यांकन करेगा। यह योजना को लागू करेगा, योजना की प्रगति और प्रदर्शन के संबंध में इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्रालय को समय-समय पर रिपोर्ट प्रस्तुत करेगा और समय-समय पर इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्रालय द्वारा सौंपी गई अन्य जिम्मेदारियों को पूरा करेगा। इस योजना के तहत सी-डैक के कार्यों और जिम्मेदारियों को इलेक्ट्रॉनिक और सूचना प्रौद्योगिकी मंत्रालय द्वारा अलग से जारी किए जाने वाले योजना दिशानिर्देशों में विस्तृत किया जाएगा।

9.3 योजना के कार्यान्वयन से संबंधित गतिविधियों को संचालित करने के लिए, सी-डैक अन्य बातों के साथ-साथ:

9.3.1 आवदेन प्राप्त करेगा, पावती जारी करेगा, योजना के तहत समर्थन के लिए आवेदकों की पात्रता का सत्यापन करेगा और योजना के तहत अनुमोदन जारी करेगा।

9 3.2. आवेदनों के तकनीकी और वित्तीय मूल्यांकन के साथ-साथ सेमीकंडक्टर डिजाइन में आवेदकों की विशेषज्ञता का मूल्यांकन करने के लिए आवश्यकता अनुसार एजेंसी/ एजेंसियों या सलाहकारों को सूचीबद्ध करेगा।

93..3 योजना के पैरा 8 में बताए गए स्टार्टअप्स और एमएसएमई को ऐसी सेवाएं प्रदान करने के लिए या तो स्वयं या अन्य इनक्यूबेटर के माध्यम से योजना के तहत डिजाइन इन्फ्रास्ट्रक्चर की स्थापना करेगा।

93..4 योजना के तहत वित्तीय सहायता और प्रोत्साहन के वितरण के लिए पात्र दावों की जांच करेगा और पात्रता के अनुसार उन्हें वितरित करेगा।

10. अनुमोदन

10.1 योजना के तहत प्राप्त आवेदनों का मूल्यांकन सी-डैक द्वारा निरंतर आधार पर किया जाएगा।

10.2 चयनित आवेदकों को अनुमोदन सी-डैक द्वारा दिया जाएगा और इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्रालय को सूचना देते हुए आवेदक को सूचित किया जाएगा।

11 संवितरण प्रक्रिया

11.1 योजना के उत्पाद विकास से जुड़े प्रोत्साहन घटक के लिए वित्तीय सहायता आवेदन के अनुमोदन और अनुमोदन पत्र में शामिल माइलस्टोन की उपलब्धि के बाद जारी की जाएगी।

11.2 इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्रालय इस योजना के तहत अनुमोदित परियोजनाओं के लिए वित्तीय सहायता और डिप्लॉयमेंट से जुड़े प्रोत्साहन के वितरण के लिए बजटीय प्रावधान करेगा। अनुमोदन शर्तों के आधार पर सी-डैक द्वारा संवितरण किया जाएगा। सी-डैक परियोजना-दर-परियोजना आधार पर नहीं बल्कि नियमित आधार पर समेकित राशि के रूप में इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्रालय को बजटीय आवश्यकता प्रस्तुत करेगा।

11.3 डिप्लॉयमेंट लिंक्ड प्रोत्साहन के दावे प्रत्येक वित्तीय वर्ष की समाप्ति के बाद प्रस्तुत किए जा सकते हैं।

11.4 आवेदकों को संवितरण की विस्तृत प्रक्रिया योजना दिशानिर्देशों में निर्धारित की जाएगी।

12. प्रभाव मूल्यांकन: योजना का मध्यावधि मूल्यांकन इसके कार्यान्वयन के दो साल बाद या सी-डैक की सिफारिशों के अनुसार योजना के प्रभाव का आकलन करने के लिए, आवेदकों द्वारा उठाव और अर्थव्यवस्था को बताए गए उद्देश्यों के अनुसार किया जाएगा। इस तरह के प्रभाव मूल्यांकन के आधार पर, योजना के कार्यकाल को बढ़ाने और इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्री के अनुमोदन से इसके वित्तीय परिव्यय को बदलने का निर्णय लिया जाएगा।

13. योजना दिशानिर्देश: योजना दिशानिर्देश इलेक्ट्रॉनिक्स और सूचना प्रौद्योगिकी मंत्रालय (एमईआईटीवाई) द्वारा अलग से इलेक्ट्रॉनिक्स और सूचना प्रौद्योगिकी मंत्री के अनुमोदन से जारी किए जाएंगे।

14. योजना और दिशानिर्देशों में संशोधन: योजना और उसके दिशानिर्देशों की समीक्षा और संशोधन समय-समय पर या आवश्यकतानुसार इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्री के अनुमोदन से किया जाएगा।

अरविन्द कुमार, वैज्ञानिक 'जी' और समूह प्रमुख

अनुबंध-1

(अनुच्छेद 5.3 देखें)

डिजाइन सम्बद्ध प्रोत्साहन (डीएलआई) योजना

सहयोग की श्रेणियाँ	
योजना घटक	**विवरण**
स्टार्टअप्स/ एमएसएमई के लिए डिजाइन अवसंरचना सहयोग	(i) राष्ट्रीय ईडीए ग्रिड (ii) आईपी कोर रिपोजिटरी (iii) प्रोटोटाइप (iv) पोस्ट सिलिकॉन सत्यापन
उत्पाद डिजाइन सम्बद्ध प्रोत्साहन	प्रति आवेदन 15 करोड़ रुपये की उच्चतम सीमा के अधीन पात्र व्यय के 50% की प्रतिपूर्ति।
नियोजन सम्बद्ध प्रोत्साहन	प्रति आवेदन 30 करोड़ रुपये की सीमा के अधीन 5 वर्षों में नेट सेल्स का 6% से 4% की प्रतिपूर्ति।

MINISTRY OF ELECTRONICS AND INFORMATION TECHNOLOGY

(R&D in Electronics Group)

NOTIFICATION

New Delhi, the 21st December, 2021

Subject : Design Linked Incentive (DLI) Scheme

No. EE-9/5/2021-R&D-E.—1. Background

1.1 The electronics industry is the world's largest and fastest growing industry with applications in all sectors of the economy. Semiconductors have been a key enabler in the advancement of electronics for over five decades and will play an even greater role with the emergence of new applications including IoT, artificial intelligence, 5G, smart mobility, robotics, etc.

1.2 The global semiconductor market stood at ~$466B (₹35 lakh crore) in 2020 and is expected to grow to ~$656B (₹49 lakh crore) by 2025. The semiconductor industry has steadily evolved to create various business models, starting from fully integrated design manufacturers (IDMs) to tool manufacturers, EDA companies, foundries, and semiconductor design companies. Today, few companies operate as IDMs and most players have restricted operations to core competencies. While semiconductor design companies are solely focussed on product design and development, foundries offer semiconductor manufacturing services.

1.3 With an exceptional talent pool of 20% of world's semiconductor design engineers, India remains a highly attractive destination for global semiconductor design companies. Thousands of chips are designed every year in India by these engineers. Despite a thriving design ecosystem and availability of trained and highly competent manpower, a minuscule portion of the Intellectual Property (IP) generated belongs to the country as it is mostly held by the global companies. Moreover, the domestic semiconductor design ecosystem is still in a nascent stage with the cumulative annual revenue of domestic semiconductor design companies estimated to be less than ₹150 Crore. There is near absence of design-houses for electronic products such as mobile phones, IT hardware, smart meters, set-top boxes, hearables and wearables, infotainment products, IoT devices, and other communication devices.

1.4 The total electronic design market in India, estimated at ₹35000 Crore in 2020 and growing at a CAGR of ~15.4%, necessitates fostering the domestic semiconductor design industry to not only meet the domestic requirement and service global customers but also achieve self-reliance and mitigate the security concerns of this strategic sector.

1.5 The National Policy on Electronics (NPE 2019) aims to position India as a global hub for Electronics System Design and Manufacturing (ESDM) by encouraging and driving capabilities in the country for developing core components, including chipsets, and creating an enabling environment for the industry to compete globally. The NPE 2019 also envisions the creation of a vibrant and dynamic semiconductor design ecosystem in the country by way of incentivizing the startups and making design infrastructure accessible to them.

1.6 Government has been working to create a conducive environment for design and manufacturing of electronics and offer incentives comparable with those offered in competing economies. While several existing schemes are effectively contributing towards various segments of electronics manufacturing (including electronic devices, components & semiconductors), no specific policy thrust, or interventions have been done for semiconductor design companies till date. The need to achieve self-reliance and aim for technology leadership in semiconductor design necessitates multi-fold growth in the Indian semiconductor design industry by way of providing financial incentives and infrastructural support to offset entry barriers and disabilities.

2. Objectives: The Design Linked Incentive (DLI) Scheme shall offer financial incentives as well as design infrastructure support across various stages of development and deployment of semiconductor design for Integrated Circuits (ICs), Chipsets, System on Chips (SoCs), Systems & IP Cores and semiconductor linked design over a period of 5 years with the objectives of:

2.1 Nurturing 100 domestic companies of semiconductor design for Integrated Circuits (ICs), Chipsets, System on Chips (SoCs), Systems & IP Cores and semiconductor linked design and facilitating the growth of not less than 20 such companies to achieve turnover of more than ₹1500 Crore in the next 5 years.

2.2 Achieving significant indigenization in semiconductor and electronic products and IPs deployed in the country, thereby facilitating import substitution and value addition in electronics sector in the next 5 years.

2.3 Strengthening the design infrastructure through incubators for semiconductor design and facilitating access to startups and MSMEs.

3. **Eligibility**: Financial incentives and design infrastructure support will be extended to domestic companies, startups and MSMEs engaged in semiconductor design for Integrated Circuits (ICs), Chipsets, System on Chips (SoCs), Systems & IP Cores and semiconductor linked design under the DLI Scheme.

3.1 Domestic companies shall be defined as those which are owned by resident Indian citizens as defined in the FDI Policy Circular of 2017 or extant norms. A company is considered as 'Owned' by resident Indian citizens if more than 50% of the capital in it is beneficially owned by resident Indian citizens and/or Indian companies, which are ultimately owned and controlled by resident Indian citizens.

3.2 MSMEs shall be defined as per the Gazette Notification by Ministry of Micro, Small and Medium Enterprises, dated 1st June 2020 or extant norms.

3.3 Startups shall be defined as per the DPIIT notification dated 19th February 2019 or extant norms.

3.4 The approved applicants that claim incentives under the scheme shall retain their domestic status (i.e. more than 50% of the capital in it is beneficially owned by resident Indian citizens and/or Indian companies, which are ultimately owned and controlled by resident Indian citizens) for a period of three years after claiming incentives under the scheme.

3.5 Eligibility under DLI Scheme shall not affect eligibility under any other Scheme and vice-versa.

4. Tenure: Applications under the Scheme will be initially open for three (3) years from 01.01.2022. The applications received under the Scheme will be appraised on an ongoing basis and implementation will continue as per the approvals accorded under the Scheme.

5. Incentives under the Scheme: Financial incentives shall be provided to approved applicants under the Scheme in the following manner

5.1 Product Design Linked Incentive - Reimbursement of up to 50% of the eligible expenditure subject to a ceiling of ₹15 Crore per application will be provided as fiscal support to the approved applicants who are engaged in semiconductor design for Integrated Circuits (ICs), Chipsets, System on Chips (SoCs), Systems & IP Cores and semiconductor linked design. The applicants should submit their proposals for development of semiconductor design for Integrated Circuits (ICs), Chipsets, System on Chips (SoCs), Systems & IP Cores and semiconductor linked design that can be demonstrated in an operational environment and are ready for volume production.

5.2 Deployment Linked Incentive - Incentive of 6% to 4% of net sales turnover over 5 years subject to a ceiling of ₹30 Crore per application will be provided to approved applicants whose semiconductor design for Integrated Circuits (ICs), Chipsets, System on Chips (SoCs), Systems & IP Cores and semiconductor linked design are deployed in electronic products.

5.3 The detailed breakup of the support under the DLI Scheme is at **Annexure-1**.

6. Basis of Computation of Incentives: The financial incentives under the scheme shall be calculated in the following manner:

6.1 Eligible Expenditure under Product Design Linked Incentive component: Expenses of approved applicants relating to design, development, testing, fabrication, validation, prototype development, product development, filing of Intellectual Property Rights etc. shall be considered as eligible expenditure for reimbursement under Product Design Linked Incentive component of the scheme. Design and development of EDA Tools shall also be covered under this component of the scheme. The details of eligible expenditure shall be elaborated in the scheme guidelines to be issued by Ministry of Electronics and Information Technology separately.

7. Net Sales Turnover under Deployment Linked Incentive component: Assessment of net sales turnover shall be based on returns filed before relevant taxation authorities and Statutory Auditor certificates.

8. Design Infrastructure: C-DAC (Centre for Development of Advanced Computing), a scientific society, operating under the Ministry of Electronics and Information Technology, will establish the semiconductor design infrastructure under the scheme.

8.1 It shall be entrusted with the responsibility of setting up National EDA tool Grid, repository of IP Cores, hardware and software licenses, patents and trademarks etc and make them available for startups and MSMEs.

8.2 It shall also provide support to startups and MSMEs who seek specific assistance for MPW prototyping for test chip & volume production and testing, validating, prototyping, post silicon validation and other services as deemed appropriate.

8.3 It shall coordinate with similar facilities located across the country and consolidate the semiconductor design expertise for leveraging it under the scheme.

8.4 It shall engage with startups, global technology majors, industry associations, academia, and experts for growth of semiconductor design ecosystem in India and provide policy inputs to Ministry of Electronics and Information Technology.

9. Governance Mechanism

9.1 The scheme will be implemented through C-DAC.

9.2 C-DAC will receive the applications under the scheme and carry out financial and technical appraisal of such applications. It will implement the scheme, submit periodic reports to Ministry of Electronics and Information Technology regarding the progress and performance of the scheme and carry out other responsibilities as assigned by Ministry of Electronics and Information Technology from time to time. The functions and responsibilities of CDAC under this scheme will be elaborated in the Scheme Guidelines to be issued by Ministry of Electronics and Information Technology separately.

9.3 For carrying out activities related to implementation of the Scheme, C-DAC will inter-alia:

9.3.1 Receive the applications, issue acknowledgements, verify eligibility of the applicants for support under the Scheme and issue approvals under the Scheme.

9.3.2 Empanel agency / agencies or consultants as deemed necessary to carry out the technical and financial appraisal of the applications as well as evaluate expertise of the applicants in semiconductor design.

9.3.3 Establish design infrastructure under the scheme either by itself or through other incubator(s) to provide such services to the startups and MSMEs as stated in Para 8 of the Scheme.

9.3.4 Examine claims eligible for disbursement of fiscal support and incentive under the scheme and disburse those as per eligibility.

10. Approval

10.1 The applications received under the scheme will be appraised on an ongoing basis by C-DAC.

10.2 Approval to the selected applicants shall be accorded by the C-DAC and communicated to the applicant under intimation to Ministry of Electronics and Information Technology.

11. Disbursement Process

11.1 The fiscal support against the product development linked incentive component of the scheme shall be released after the approval of the application and achievement of milestones as included in the approval letter.

11.2 Ministry of Electronics and Information Technology shall make budgetary provisions for disbursal of fiscal support and deployment linked incentive to approved projects under the scheme. The disbursement shall be done by CDAC based on approval conditions. CDAC will submit budgetary requirement to Ministry of Electronics and Information Technology as consolidated amount on regular basis and not on project-by-project basis.

11.3 The claims for Deployment Linked Incentive may be submitted after the end of each financial year.

11.4 The detailed procedure for disbursal to applicants will be laid down in the Scheme Guidelines.

12. Impact Assessment: Mid-term appraisal of the scheme will be done after two years of its implementation or as per recommendations of C-DAC to assess the impact of the scheme, offtake by the applicants and economy in terms of the stated objectives. Based on such impact assessment, decision will be taken to increase the tenure of the scheme and change its financial outlay with the approval of the Minister of Electronics and Information Technology.

13. Scheme Guidelines: The Scheme Guidelines shall be issued by Ministry of Electronics and Information Technology (MeitY) separately with the approval of Minister of Electronics and Information Technology.

14. Amendment to Scheme and Guidelines: The scheme and its guidelines shall be reviewed and amended periodically or as per requirement with the approval of Minister of Electronics and Information Technology.

ARVIND KUMAR, Scientist 'G' & Group Coordinator

ANNEXURE-1

(Refer paragraph 5.3)

Design Linked Incentive (DLI) Scheme

Categories of Support	
Scheme Component	**Description**
Design Infrastructure Support for Startups / MSMEs	(i) National EDA Grid (ii) IP Core Repository (iii) Prototyping (iv) Post Silicon Validation
Product Design Linked Incentive	Reimbursement of 50% of the eligible expenditure subject to a ceiling of ₹15 Crore incentive per application.
Deployment Linked Incentive	Reimbursement of 6% to 4% of net sales over 5 years subject to a ceiling of ₹30 Crore incentive per application.

Uploaded by Dte. of Printing at Government of India Press, Ring Road, Mayapuri, New Delhi-110064
and Published by the Controller of Publications, Delhi-110054.
MANOJ KUMAR VERMA Digitally signed by MANOJ KUMAR VERMA Date: 2021.12.21 21:02:59 +05'30'